

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002271109
 PUBLICATION DATE : 20-09-02

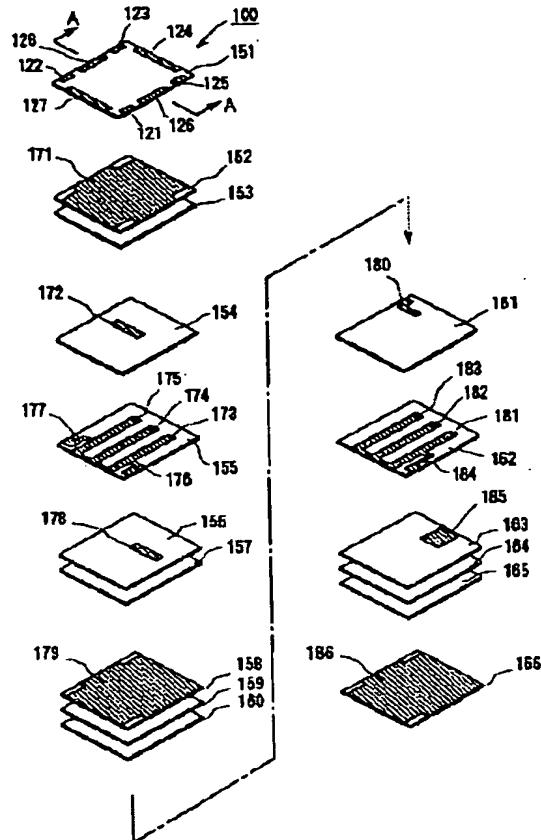
APPLICATION DATE : 08-03-01
 APPLICATION NUMBER : 2001065490

APPLICANT : TAIYO YUDEN CO LTD;

INVENTOR : INOUE MAKOTO;

INT.CL. : H01P 1/213 H01F 27/00 H01F 17/00
 H01P 1/203 H01P 1/205 H03H 7/09
 H03H 7/46

TITLE : LAMINATED DUPLEXER ELEMENT



ABSTRACT : PROBLEM TO BE SOLVED: To provide a laminated duplexer element in which the best frequency characteristics can be set for each filter circuit.

SOLUTION: This laminated duplexer element is provided with a filter circuit for reception and a filter circuit for transmission. The filter circuit for reception has grounding conductors 171 and 179 provided to hold a plurality of conductor pieces 172, 176, 177, and 178 containing resonance lines 173, 174, and 175 between them through dielectric layers 152-157 and pass signals in a first frequency band. The filter circuit for transmission has grounding conductors 179 and 186 provided to hold a plurality of conductor pieces 180 and 185 containing resonance lines 181, 182, and 183 between them through dielectric layers 158-165 and pass signals in a second frequency band, which is different from the first frequency band. One or more of the conductor pieces and grounding conductors of the filter circuit for reception are provided on layers, which are different from those on which the conductor pieces and grounding conductors of the filter circuit for transmission are provided.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-271109
(P2002-271109A)

(43) 公開日 平成14年9月20日(2002.9.20)

(51) Int.Cl. ¹	識別記号	F I	マークコード(参考)	
H 0 1 P	1/213	H 0 1 P	1/213	M 5 E 0 7 0
H 0 1 F	27/00	H 0 1 F	17/00	D 5 J 0 0 6
	17/00	H 0 1 P	1/203	5 J 0 2 4
H 0 1 P	1/203		1/205	B
	1/205	H 0 3 H	7/09	Z

審査請求 未請求 請求項の数 8 OL (全 15 頁) 最終頁に統ぐ

(21)出願番号 特願2001-65490(P2001-65490)

(71)出願人 000204284

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(22)出願日 平成13年3月8日(2001.3.8)

(72) 奉明者 井上 真

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(74)代理人 100069981

弁理士 吉田 精孝 (外1名)

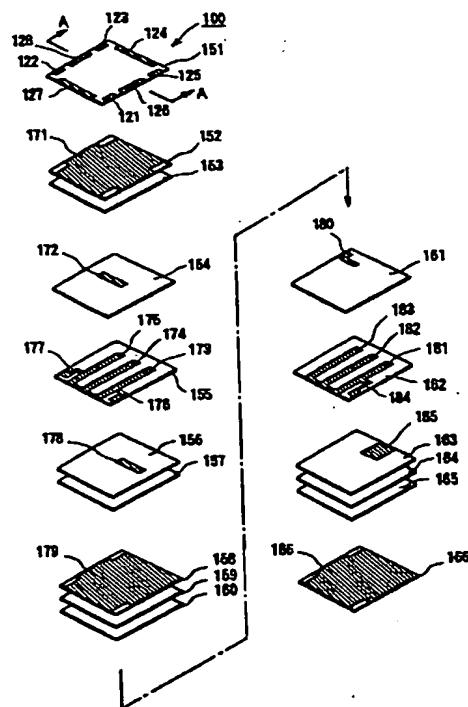
最終頁に統く

(54) 【発明の名称】 積層デュプレクサ素子

(57)【要約】

【課題】 各フィルタ回路において最良の周波数特性を設定することができる積層デュプレクサ素子を提供する。

【解決手段】 共振線路173, 174, 175を含む複数の導体片172, 176, 177, 178を誘電体層152～157を介して挟むように設けられた接地導体171, 179とを有し第1周波数帯域内の信号を通過させる受信用フィルタ回路と、共振線路181, 182, 183を含む複数の導体片180, 185を誘電体層158～165を介して挟むように設けられた接地導体179, 186とを有し第1周波数帯域とは異なる第2周波数帯域内の信号を通過させる送信用フィルタ回路とを備え、受信用フィルタ回路の導体片及び接地導体のうちの1つ以上が送信用フィルタ回路の導体片及び接地導体が設けられている層とは異なる層に設けられている積層デュプレクサ素子を構成する。



【特許請求の範囲】

【請求項1】 共振線路を含む複数の導体片を有し第1周波数帯域内の信号を通過させる第1フィルタ回路と、共振線路を含む複数の導体片を有し前記第1周波数帯域とは異なる第2周波数帯域内の信号を通過させる第2フィルタ回路とを含む積層素体と、前記積層素体の外面に形成され前記第1フィルタ回路の一方の入出力端に接続された第1入出力端子と、前記積層素体の外面に形成され前記第2フィルタ回路の一方の入出力端に接続された第2入出力端子と、前記積層素体の外面に形成され前記第1フィルタ回路の他方の入出力端と前記第2フィルタ回路の他方の入出力端とに接続された共通入出力端子と、前記積層素体の外面に形成された接地端子とを備えてなる積層デュプレクサ素子において、前記第1フィルタ回路の共振線路を含む導体片と前記第2フィルタ回路の共振線路を含む導体片を各フィルタ回路毎に個別に絶縁体層を介して挟むように配置された複数の接地導体とを設けると共に、前記第1フィルタ回路の導体片及び接地導体のうちの1つ以上が、前記第2フィルタ回路の導体片及び接地導体が設けられている層とは異なる層に設けられていることを特徴とする積層デュプレクサ素子。

【請求項2】 前記第1フィルタ回路の共振線路を挟む2つの接地導体間の距離が、前記第2フィルタ回路の共振線路を挟む2つの接地導体間の距離と異なる値に設定されていることを特徴とする請求項1に記載の積層デュプレクサ素子。

【請求項3】 前記第1フィルタ回路の共振線路と前記第2入出力端子との間或いは前記第2フィルタ回路の共振線路と前記第1入出力端子との間の少なくとも何れか一方において、1つ以上の層に、前記入出力端子を囲むように前記接地端子に接続された接地導体を設けたことを特徴とする請求項1または請求項2に記載の積層デュプレクサ素子。

【請求項4】 前記積層素体は、前記第1フィルタ回路が形成された部分と、前記第2フィルタ回路が形成された部分とを積層方向に重ねて配置してなることを特徴とする請求項1乃至請求項3の何れかに記載の積層デュプレクサ素子。

【請求項5】 前記積層素体は、前記第1フィルタ回路が形成される部分と、前記第2フィルタ回路が形成される部分を層が延びる方向に並べて配置してなることを特徴とする請求項1乃至請求項3の何れかに記載の積層デュプレクサ素子。

【請求項6】 前記積層素体は、前記第1フィルタ回路が形成される部分の一部分が、前記第2フィルタ回路が形成される部分の一部分に積層されてなることを特徴とする請求項1乃至請求項3の何れかに記載の積層デュプレクサ素子。

【請求項7】 前記共振線路は一端が前記接地端子に接

続され他端が開放された帯状導体片からなり、前記第1フィルタ回路の共振線路が、前記第2フィルタ回路の共振線路に対して絶縁体層を介して直角に交差するように配置されていることを特徴とする請求項4に記載の積層デュプレクサ素子。

【請求項8】 前記共振線路は一端が前記接地端子に接続され他端が開放された帯状導体片からなると共に、前記第1フィルタ回路の共振線路の一端が前記第2フィルタ回路の共振線路の他端側に位置し且つ前記第1フィルタ回路の共振線路の他端が前記第2フィルタ回路の共振線路の一端側に位置するように各共振線路が配置され、前記導体片を絶縁体層を介して挟むように設けられた接地導体として、前記第1フィルタ回路の共振線路と前記第2フィルタ回路の共振線路との間に配置され、互いに異なる層に設けられた第1及び第2の接地導体を備え、前記第1接地導体は前記第1フィルタ回路の共振線路の開放端部側の1/2の領域に設けられていると共に前記第2接地導体は前記第2フィルタ回路の共振線路の開放端部側の1/2の領域に設けられており、前記第1フィルタ回路の共振線路と前記第1接地導体との間の距離が、前記第2フィルタ回路の共振線路と前記第1接地導体との間の距離よりも小さく設定されていると共に、前記第2フィルタ回路の共振線路と前記第2接地導体との間の距離が、前記第1フィルタ回路の共振線路と前記第2接地導体との間の距離よりも小さく設定されていることを特徴とする請求項4に記載の積層デュプレクサ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、自動車電話や携帯型電話機等に用いられる積層デュプレクサ素子に関する。

【0002】

【従来の技術】 従来、携帯型電話機では、1つのアンテナを用いて異なる2つの周波数帯域の周波数のそれぞれを送信用及び受信用として通信を行うためにデュプレクサを使用することがある。

【0003】 この種のデュプレクサは、互いに異なる周波数帯域の信号を通過させる2つのフィルタ回路を備え、一方のフィルタ回路が受信用の周波数帯域の信号を通過させるように設定に設定され、他方のフィルタ回路が送信用の周波数帯域の信号を通過させるように設定されている。また、フィルタ回路には、例えば特開平5-267909号公報に開示されるような同軸型の誘電体共振器が用いられていた。

【0004】 しかし、近年の電子機器の小型化に伴い携帯型電話機も小型化と軽量化が望まれ、電子回路を構成する電子部品も小型化の必要性が生じて、前述したような同軸型誘電体共振器を用いたデュプレクサでは、小型

化を図るには限界があった。

【0005】デュプレクサのさらなる小型化を図るために、ストリップライン等の導体片によってフィルタ回路を構成した積層型のデュプレクサが提案された（特開平6-85506号公報、特開平11-122007号公報）。

【0006】

【発明が解決しようとする課題】しかしながら、前述した従来例の積層型のデュプレクサでは、2つのフィルタ回路間の電気的影響や外界からの電気的影響を受けやすく、双方のフィルタ回路において良好な特性を得ることが困難であった。また、一方のフィルタ回路の特性が良好な状態になるように各絶縁体層の材質や厚さ及び共振線路と接地導体との距離を設定すると、他方のフィルタ回路の特性として最良の特性が得られないことがあった。

【0007】本発明の目的は上記の問題点に鑑み、各フィルタ回路において最良の周波数特性を設定することができる積層デュプレクサ素子を提供することである。

【0008】

【課題を解決するための手段】本発明は上記の目的を達成するために請求項1では、共振線路を含む複数の導体片を有し第1周波数帯域内の信号を通過させる第1フィルタ回路と、共振線路を含む複数の導体片を有し前記第1周波数帯域とは異なる第2周波数帯域内の信号を通過させる第2フィルタ回路とを含む積層素体と、前記積層素体の外面に形成され前記第1フィルタ回路の一方の入出力端に接続された第1入出力端子と、前記積層素体の外面に形成され前記第2フィルタ回路の一方の入出力端に接続された第2入出力端子と、前記積層素体の外面に形成され前記第1フィルタ回路の他方の入出力端と前記第2フィルタ回路の他方の入出力端とに接続された共通入出力端子と、前記積層素体の外面に形成された接地端子とを備えてなる積層デュプレクサ素子において、前記第1フィルタ回路の共振線路を含む導体片と前記第2フィルタ回路の共振線路を含む導体片を各フィルタ毎に個別に絶縁体層を介して挟むように配置された複数の接地導体とを設けると共に、前記第1フィルタ回路の導体片及び接地導体のうちの1つ以上が、前記第2フィルタ回路の導体片及び接地導体が設けられている層とは異なる層に設けられている積層デュプレクサ素子を提案する。

【0009】該積層デュプレクサ素子によれば、前記第1フィルタ回路の共振線路を含む導体片が絶縁体層を介して接地導体によって挟まれるため、該接地導体によって前記第1フィルタ回路は外界及び前記第2フィルタ回路から遮蔽される。さらに、前記第2フィルタ回路の共振線路を含む導体片が絶縁体層を介して接地導体によって挟まれるため、該接地導体によって前記第2フィルタ回路は外界及び前記第1フィルタ回路から遮蔽される。また、前記第1フィルタ回路の導体片及び接地導体のう

ちの1つ以上が、前記第2フィルタ回路の導体片及び接地導体が設けられている層とは異なる層に設けることにより、各フィルタ毎に最良の特性を得られるよう、各絶縁体層の厚さや共振線路と接地導体との距離を設定することができる。

【0010】また、請求項2では、請求項1に記載の積層デュプレクサ素子において、前記第1フィルタ回路の共振線路を挟む2つの接地導体間の距離が、前記第2フィルタ回路の共振線路を挟む2つの接地導体間の距離と異なる値に設定されている積層デュプレクサ素子を提案する。

【0011】該積層デュプレクサ素子によれば、前記第1フィルタ回路と第2フィルタ回路のそれそれにおいて、共振線路を挟む2つの接地導体間の距離が異なる値に設定され、各フィルタ回路の通過周波数帯域のインピーダンス特性が設定される。

【0012】また、請求項3では、請求項1または請求項2に記載の積層デュプレクサ素子において、前記第1フィルタ回路の共振線路と前記第2入出力端子との間或いは前記第2フィルタ回路の共振線路と前記第1入出力端子との間の少なくとも何れか一方において、1つ以上の層に、前記入出力端子を囲むように前記接地端子に接続された接地導体を設けた積層デュプレクサ素子。

【0013】該積層デュプレクサ素子によれば、前記第1フィルタ回路の共振線路と前記第2入出力端子との間に前記第2入出力端子を囲むように前記接地端子に接続された接地導体が設けられると、前記第1フィルタ回路の共振線路と前記第2入出力端子との間の電気的な結合が抑制される。また、前記第2フィルタ回路の共振線路と前記第1入出力端子との間に前記第1入出力端子を囲むように前記接地端子に接続された接地導体が設けられると、前記第2フィルタ回路の共振線路と前記第1入出力端子との間の電気的な結合が抑制される。これにより、各フィルタ回路の特性を個別に設定できると共に安定させることができる。

【0014】また、請求項4では、請求項1乃至請求項3の何れかに記載の積層デュプレクサ素子において、前記第1フィルタ回路が形成された部分と、前記第2フィルタ回路が形成された部分とを積層方向に重ねて配置してなる積層デュプレクサ素子を提案する。

【0015】該積層デュプレクサ素子によれば、前記第1フィルタ回路の部分と第2フィルタ回路の部分が積層方向に重ねて配置されるので、実装面積が削減されて高密度実装が可能になる。

【0016】また、請求項5では、請求項1乃至請求項3の何れかに記載の積層デュプレクサ素子において、前記積層素体は、前記第1フィルタ回路が形成される部分と、前記第2フィルタ回路が形成される部分を層が延びる方向に並べて配置してなる積層デュプレクサ素子を提案する。

【0017】該積層デュプレクサ素子によれば、前記第1フィルタ回路の部分と第2フィルタ回路の部分が層が延びる方向に並べて配置されるので、積層デュプレクサ素子の高さを低く設定することができ、薄型の電子機器に適用可能になる。

【0018】また、請求項6では、請求項1乃至請求項3の何れかに記載の積層デュプレクサ素子において、前記積層素体は、前記第1フィルタ回路が形成される部分の一部分が、前記第2フィルタ回路が形成される部分の一部分に積層されてなる積層デュプレクサ素子を提案する。

【0019】該積層デュプレクサ素子によれば、前記第1フィルタ回路が形成される部分の一部分が前記第2フィルタ回路が形成される部分の一部分のみに重なるように積層されるので、各フィルタ回路間の電気的干渉を抑制し且つ実装面積を削減できる。

【0020】また、請求項7では、請求項4に記載の積層デュプレクサ素子において、前記共振線路は一端が前記接地端子に接続され他端が開放された帯状導体片からなり、前記第1フィルタ回路の共振線路が、前記第2フィルタ回路の共振線路に対して絶縁体層を介して直角に交差するように配置されている積層デュプレクサ素子を提案する。

【0021】該積層デュプレクサ素子によれば、前記第1フィルタ回路の共振線路と前記第2フィルタ回路の共振線路が絶縁体層を介して互いに直角に交差するように配置されるので、各フィルタ回路の入出力端子を積層素体の異なる外面に容易に配置することができる。

【0022】また、請求項8では、請求項4に記載の積層デュプレクサ素子において、前記共振線路は一端が前記接地端子に接続され他端が開放された帯状導体片からなると共に、前記第1フィルタ回路の共振線路の一端が前記第2フィルタ回路の共振線路の他端側に位置し且つ前記第1フィルタ回路の共振線路の他端が前記第2フィルタ回路の共振線路の一端側に位置するように各共振線路が配置され、前記導体片を絶縁体層を介して挟むように設けられた接地導体として、前記第1フィルタ回路の共振線路と前記第2フィルタ回路の共振線路との間に配置され、互いに異なる層に設けられた第1及び第2の接地導体を備え、前記第1接地導体は前記第1フィルタ回路の共振線路の開放端部側の1/2の領域に設けられていると共に前記第2接地導体は前記第2フィルタ回路の共振線路の開放端部側の1/2の領域に設けられており、前記第1フィルタ回路の共振線路と前記第1接地導体との間の距離が、前記第2フィルタ回路の共振線路と前記第1接地導体との間の距離よりも小さく設定されると共に、前記第2フィルタ回路の共振線路と前記第2接地導体との間の距離が、前記第1フィルタ回路の共振線路と前記第2接地導体との間の距離よりも小さく設定されている積層デュプレクサ素子を提案する。

【0023】該積層デュプレクサ素子によれば、前記第1接地導体と前記第1フィルタ回路の共振線路の開放端部との間にキャパシタンスが発生し、同一共振周波数において前記キャパシタンスが無いときに比べて前記第1フィルタ回路の共振線路の長さを短くすることができると共に第1フィルタ回路のQを高めることができる。同様に、前記第2接地導体と前記第2フィルタ回路の共振線路の開放端部との間にキャパシタンスが発生し、同一共振周波数において前記キャパシタンスが無いときに比べて前記第2フィルタ回路の共振線路の長さを短くすることができると共に第2フィルタ回路のQを高めることができ。さらに、絶縁体層の積層数を削減できるので、積層素体の外形を小型に形成することができる。

【0024】

【発明の実施の形態】以下、図面に基づいて本発明の一実施形態を説明する。

【0025】図1は本発明の第1実施形態における積層デュプレクサ素子を示す外観斜視図、図2はその等価回路、図3はその分解斜視図、図4は図3におけるA-A線斜視方向の断面図である。本実施形態においては、それぞれ異なる周波数を用いた送信回路と受信回路の双方が1つのアンテナを使用するときに用いる積層デュプレクサ素子の一例を説明する。

【0026】図において、100は積層デュプレクサ素子で、内部層に共振線路が形成された直方体形状の積層素体110からなり、該積層素体110の外表面には底面111から上面112に延ばして外部端子121～128が形成されている。外部端子121はアンテナに接続される端子である。外部端子122は受信回路に接続される端子、外部端子123は送信回路に接続される端子である。また、その他の外部端子124～128は接地端子である。

【0027】積層素体110の内部には、図2の等価回路に示すように、受信用のフィルタ回路130と送信用のフィルタ回路140が形成されている。

【0028】受信用フィルタ回路130は、2.08～2.20GHzの帯域（第1周は数帯域）内の高周波信号を通過させる帯域通過型フィルタで、3つの共振器131～133と、インダクタ134a、134h、キャパシタ134b～134iによって構成されている。

【0029】受信用フィルタ回路130において、共振器131の一端は接地され、他端はキャパシタ134bの一端に接続されると共にインダクタ134aを介してアンテナ用の外部端子121に接続されている。共振器132の一端は接地され、他端はキャパシタ134d、134eのそれぞれの一端に接続されている。共振器133の一端は接地され、他端はキャパシタ134iの一端に接続されると共にインダクタ134hを介して受信用の外部端子122に接続されている。また、キャパシタ134eの一端はキャパシタ134b、134dの他端に接続され、キャパシタ134eの他端はキャパシタ134f、134gの他端に接続されている。

【0030】送信用フィルタ回路140は、1. 90～2. 02GHzの帯域（第2周波数帯域）内の高周波信号を通過させる帯域通過型フィルタで、3つの共振器141～143と、キャバシタ144a～144c、インダクタ144dによって構成されている。

【0031】送信用フィルタ回路140において、共振器141の一端は接地され、他端はキャバシタ144aを介して送信用の外部端子123に接続されている。共振器142の一端は接地され、他端はキャバシタ144bを介して外部端子123に接続されると共にキャバシタ144cを介してアンテナ用の外部端子121に接続されている。共振器143の一端は接地され、他端はインダクタ144dを介してアンテナ用の外部端子121に接続されている。ここで、共振器141と共振器142との間には相互インダクタンスMを有し、また共振器142と共振器143との間には相互インダクタンスMを有している。

【0032】上記の受信用フィルタ回路130と送信用フィルタ回路140のそれぞれは積層素体110に設けられた導体片及び共振線路から構成される。即ち、図3に示すように、積層素体110は、それと同じ厚さを有する複数の誘電体層（絶縁体層）151～166を積層して構成されており、所定層の誘電体層には表面に共振線路又は導体片或いは接地導体が設けられている。

【0033】図3において最上層及び第3層目の誘電体層151、153はダミー層であり、第2層目の誘電体層152の表面には接地導体171が設けられている。この接地導体171は接地端子となる外部端子124～128に接続され、外部端子121～123に対応する部分は絶縁のために切り欠かれている。

【0034】第4層目の誘電体層154の表面の所定位置には後述する共振線路174、175に結合してキャバシタを形成する導体片172が設けられている。

【0035】第5層目の誘電体層155の表面には所定間隔をあけて互いに平行なストリップ線路からなる3つの共振線路173、174、175が設けられ、それぞれの一端は接地され他端は開放されている。また、共振線路173の一端部所定位置に接続導体176の一端が接続され、接続導体176の他端はアンテナ用の外部端子121に接続されている。また、共振線路175の一端部所定位置に接続導体177の一端が接続され、接続導体177の他端は受信用の外部端子122に接続されている。

【0036】第6層目の誘電体層156の表面の所定位置には共振線路173、174に結合してキャバシタを形成する導体片178が設けられている。

【0037】第7層目の誘電体層157はダミー層である。

【0038】第8層目の誘電体層158の表面には、接地導体179が設けられている。この接地導体179は接地端子となる外部端子124～128に接続され、外部端子121～123に対応する部分は絶縁のために切り欠かれている。

【0039】第9及び第10層目の誘電体層159、160はダミー層である。

【0040】第11層目の誘電体層161の表面には導体片180が設けられ、導体片180の一端は送信用の外部端子123に接続され、他端は後述する共振線路183の開放端部に結合してキャバシタンスを形成する位置に配置されている。

【0041】第12層目の誘電体層162の表面には所定間隔をあけて互いに平行なストリップ線路からなる3つの共振線路181、182、183が設けられ、それぞれの一端は接地され他端は開放されている。また、共振線路181の一端部所定位置に接続導体184の一端が接続され、接続導体184の他端はアンテナ用の外部端子121に接続されている。また、これらの共振線路181、182、183は、上記共振線路173、174、175と平行であり且つ接地端及び開放端が一致するように配置されている。

【0042】第13層目の誘電体層163の表面の所定位置には共振線路181、182、183の開放端に結合してキャバシタンスを形成する矩形の導体片185が設けられている。

【0043】第14及び第15層目の誘電体層164、165はダミー層である。

【0044】第16層目の誘電体層166の表面には、接地導体186が設けられている。この接地導体186は接地端子となる外部端子124～128に接続され、外部端子121～123に対応する部分は絶縁のために切り欠かれている。

【0045】前述した積層素体110では、第2層目から第8層目の誘電体層152～158及びこれらの層の表面に設けられた共振線路と接地導体並びに導体片によって受信用のフィルタ回路130が構成され、第8層目から第16層目の誘電体層158～166及びこれらの層の表面に設けられた共振線路と接地導体並びに導体片によって送信用のフィルタ回路140が構成されている。

【0046】上記積層デュプレクサ素子100は、受信用フィルタ回路130を構成する共振線路173、174、175及び導体片172、176、177、178が誘電体層152、153、156、157を介して接地導体171、179によって挟まれているため、この接地導体171、179によって受信用フィルタ回路130は外界及び送信用フィルタ回路140から遮蔽され、送信用フィルタ回路140を構成する共振線路181、182、183及び導体片180、184、185が誘電体層158、159、160、163、164、165を介して接地導体179、186によって挟まれているため、この接地導体179、186によって送信用フィルタ回路140は外界及び受信用フィルタ回路130から遮蔽される。これにより各フィルタ回路130、140は、外界及び他方のフィルタ回路の電気的な影響を受けることなく良好な特性を発揮することができる。

【0047】さらに、受信用フィルタ回路130を構成する共振線路と接地導体並びに導体片のうちの1つ以上が、送信用フィルタ回路140の共振線路と導体片並びに

接地導体が設けられている層とは異なる層に設けられているので、各フィルタ毎に最良の特性を得られるよう各絶縁体層の厚さや共振線路と接地導体との距離を設定することができる。これにより、各フィルタ回路130,140の通過周波数帯域のインピーダンス特性を最適な状態に設定することができる。

【0048】上記積層デュプレクサ素子100の周波数特性は、図5に示すように、受信用フィルタ回路130と送信用フィルタ回路140のそれぞれにおいて良好な周波数特性を示している。即ち、図5のR_xの特性曲線に示すように、受信用フィルタ回路130は、受信用周波数帯域において良好な通過特性を示し且つ受信用周波数帯域以外においては大きな減衰を生じさせている。さらに、図5のT_xの特性曲線に示すように、送信用フィルタ回路140は、送信用周波数帯域において良好な通過特性を示し且つ送信用周波数帯域以外においては大きな減衰を生じさせている。

【0049】また、上記積層デュプレクサ素子100は、受信用フィルタ回路130の部分と送信用フィルタ回路140の部分が積層素体110の底面111に対して垂直方向に積層されているので、主装置への実装面積が削減されて高密度実装が可能になる。

【0050】尚、第1実施形態では、受信用フィルタ回路130における共振線路173,174,175を挟む2つの接地導体171,179の間の距離よりも送信用フィルタ回路140における共振線路181,182,183を挟む2つの接地導体179,186の間の距離を大きく設定することにより、各フィルタ回路130,140の通過周波数帯域のインピーダンス特性が良好な状態になるよう設定したが、これに限定されることはなく、各フィルタ回路130,140における共振線路や導体片の配置によって任意個別に設定することができる。

【0051】次に、本発明の第2実施形態を説明する。
【0052】図6は第2実施形態における積層デュプレクサ素子200を示す外観斜視図、図7はその分解斜視図である。図において、前述した第1実施形態と同一構成部分は同一符号をもって表しその説明を省略する。また、第2実施形態と第1実施形態との相違点は、送信用フィルタ回路140を構成する共振線路181,182,183と、導体片180,185、接続線路184の配置を変えて、共振線路181,182,183が受信用フィルタ回路130の共振線路173,174,175に対して直角に交差するように配置したことである。

【0053】上記構成によって第1実施形態と同様の効果が得られると共に、アンテナ用の外部端子121と、受信用の外部端子122、送信用の外部端子123のそれぞれを、積層素体110の異なる側面に容易に形成することができるので、これらの外部端子121,122,123の短絡の発生を防止することができると共に、外部端子121,122,123の大きさを第1実施形態と同様の大きさにしながら積

層素体110の形状を小型化することができる。

【0054】次に、本発明の第3実施形態を説明する。

【0055】図8は第3実施形態における積層デュプレクサ素子300の分解斜視図である。第3実施形態における積層デュプレクサ素子の外観及び等価回路は前述した第1実施形態と同じである。

【0056】また、第3実施形態と第1実施形態との相違点は、第3実施形態では、図9に示すように、第5層目の誘電体層155の表面に受信用フィルタ回路130の共振線路173,174,175と送信用外部端子123との間に送信用外部端子123を囲むように接地導体を311を設けると共に、図10に示すように、第12層目の誘電体層162の表面に、送信用フィルタ回路140の共振線路181,182,183と受信用外部端子122との間に受信用外部端子122を囲むように接地導体を321を設けたことである。

【0057】上記構成により、第1実施形態と同様の効果を得られると共に、受信用フィルタ回路130の共振線路173,174,175と送信用外部端子123との間の電気的な結合が接地導体311によって抑制される。また、送信用フィルタ回路140の共振線路181,182,183と受信用外部端子122との間の電気的な結合が接地導体321によって抑制される。これにより、各フィルタ回路130,140の特性を他方のフィルタ回路の影響を受けることなく個別に設定できると共に特性を安定させることができる。

【0058】尚、図11に示す積層デュプレクサ素子300Aのように、受信用のフィルタ回路130を構成する他の導体片172,178が設けられている誘電体層154,156の表面にも送信用外部端子123を囲む接地導体312,313を設けても良いし、送信用のフィルタ回路140を構成する他の導体片180,185が設けられている誘電体層161,163の表面にも受信用外部端子122を囲む接地導体322,323を設けても良い。

【0059】また、受信用外部端子122を囲む接地導体321,322,323のみを設けても良いし、送信用外部端子123を囲む接地導体311,312,313のみを設けても良い。

【0060】また、上記の受信用外部端子122或いは送信用外部端子123を囲む接地導体は共振線路が形成されている層と同層に設けることが好ましいが、上記接地導体を設ける層は特に規定されることはなく、何れか1つ以上の層に上記外部端子を囲む接地導体を設けることによりほぼ同様の効果を得ることができる。

【0061】次に、本発明の第4実施形態を説明する。

【0062】図12は第4実施形態における積層デュプレクサ素子400を示す分解斜視図、図13は図12におけるA-A線矢視方向の断面図である。図において、前述した第1実施形態と同一構成部分は同一符号をもって表しその説明を省略する。また、第4実施形態と第1実施形態との相違点は、第4実施形態では、受信用フィルタ回路130の共振線路173,174,175の開放端部と接地導体との間に所定の量のキャパシタンスを形成して共振線路

173, 174, 175の短縮とフィルタ回路130のQの向上を図ると共に、送信用フィルタ回路140の共振線路181, 182, 183の開放端部と接地導体との間に所定の量のキャパシタンスを形成して共振線路181, 182, 183の短縮とフィルタ回路140のQの向上を図ったことである。さらに、共振線路173, 174, 175と共に共振線路181, 182, 183の間に層に配置される接地導体を2つに分割してそれぞれ異なる層に配置することによって、上記キャパシタンスを得られるようにした。

【0063】即ち、第4実施形態の積層デュプレクサ素子400では、受信用フィルタ回路130の共振線路173, 174, 175の接地端と開放端の位置が第1実施形態とは反対になるように、受信用フィルタ回路130の共振線路173, 174, 175と導体片172, 178、接続導体176, 177を配置した。さらに、第1実施形態における第8及び第9層目の誘電体層158, 159を除去した。

【0064】また、第4実施形態の積層デュプレクサ素子400は、第7層目の誘電体層157の表面に共振線路173, 174, 175の開放端側に当たるほぼ1/2の領域に接地導体411を設けると共に、接地導体411に接続された複数のピアホール導体412を設けた。さらに、第8層目の誘電体層160の表面に共振線路181, 182, 183の開放端側に当たるほぼ1/2の領域に接地導体421を設けた。接地導体411と接地導体421は複数のピアホール導体412を介して接続されている。

【0065】上記構成により、受信用フィルタ回路130の共振線路173, 174, 175と接地導体411との間の距離L1が、送信用フィルタ回路140の共振線路181, 182, 183と接地導体411との間の距離L2よりも小さく設定される。さらに、送信用フィルタ回路140の共振線路181, 182, 183と接地導体421との間の距離L3が、受信用フィルタ回路130の共振線路173, 174, 175と接地導体421との間の距離L4よりも小さく設定される。

【0066】このため、受信用フィルタ回路130の共振線路173, 174, 175の開放端部と接地導体411との間にキャパシタンスが発生するので、共振線路173, 174, 175の長さを短縮することができると共に受信用フィルタ回路130のQを高めることができる。また、送信用フィルタ回路140の共振線路181, 182, 183の開放端部と接地導体421との間にキャパシタンスが発生するので、共振線路181, 182, 183の長さを短縮することができると共に送信用フィルタ回路140のQを高めることができる。

【0067】さらに、接地導体411, 421のそれぞれは誘電体層157, 160の互いに異なる側の1/2の領域に設けられ、それぞれが重なり合う部分においてピアホール導体412を介して接続されているので、これら2つの接地導体411, 421によって受信用フィルタ回路130と送信用フィルタ回路140との間の電気的な遮蔽を行うことができる。

【0068】また、受信用フィルタ回路130の共振線

路173, 174, 175及び送信用フィルタ回路140の共振線路181, 182, 183の長さの短縮と誘電体層の削減により、積層デュプレクサ素子400の小型化を図ることができる。

【0069】また、第4実施形態においても第1実施形態と同様の効果を得られることは言うまでもない。

【0070】次に、本発明の第5実施形態を説明する。

【0071】図14は第5実施形態における積層デュプレクサ素子500を示す外観斜視図、図15は図14におけるA-A線矢視方向の断面図、図16はその分解斜視図である。本実施形態においては、第1実施形態と同じ等価回路並びに周波数特性を有する積層デュプレクサ素子であり、且つ受信用フィルタ回路130を構成部分と送信用フィルタ回路140を構成部分が並べて形成されている積層デュプレクサ素子の一例を説明する。

【0072】図において、500は積層デュプレクサ素子で、内部層に共振線路が形成された直方体形状の積層素体510からなり、該積層素体510の外表面には底面511から上面512に延ばして外部端子521～528が形成されている。外部端子521はアンテナに接続される端子である。外部端子522は受信回路に接続される端子、外部端子523は送信回路に接続される端子である。また、その他の外部端子524～528は接地端子である。

【0073】積層素体510の内部には、前述した図2の等価回路に示す受信用のフィルタ回路130と送信用のフィルタ回路140が形成されている。

【0074】上記の受信用フィルタ回路130と送信用フィルタ回路140のそれぞれは積層素体510に設けられた導体片及び共振線路から構成される。即ち、図16に示すように、積層素体510は、それぞれ同じ厚さと長方形の平面を有する複数の誘電体層(絶縁体層)551～560を積層して構成されており、所定層の誘電体層には表面に共振線路又は導体片或いは接地導体が設けられている。

【0075】図16において最上層の誘電体層551はダミー層であり、第2層目の誘電体層552の表面にはその長辺方向一端側の1/2の領域に接地導体571が設けられている。この接地導体571は接地端子となる外部端子524, 525, 528に接続され、アンテナ用及び送信用の外部端子521, 523に対応する部分は絶縁のために切り欠かれている。

【0076】第3層目の誘電体層553はダミー層である。

【0077】第4層目の誘電体層554の表面にはその長辺方向他端側の1/2の領域に接地導体572が設けられている。この接地導体572は接地端子となる外部端子526, 527, 528に接続され、アンテナ用及び受信用の外部端子521, 522に対応する部分は絶縁のために切り欠かれている。

【0078】第5層目の誘電体層555の表面には導体片573が設けられ、導体片573の一端は送信用の外部端子523に接続され、他端は後述する共振線路577の開放端部に

結合してキャパシタンスを形成する位置に配置されている。

【0079】第6層目の誘電体層556の表面には、長辺方向の他端側1/2の領域内の所定位置に後述する共振線路581, 582に結合してキャパシタを形成する導体片574が設けられている。さらに、第6層目の誘電体層556の表面には、長辺方向の一端側1/2の領域内に所定間隔をあけて互いに平行なストリップ線路からなる3つの共振線路575, 576, 578が設けられ、それぞれの一端は接地され他端は開放されている。また、共振線路575の一端部所定位置に接続導体579の一端が接続され、接続導体579の他端はアンテナ用の外部端子521に接続されている。また、これらの共振線路575, 576, 578は、誘電体層556の短辺に平行になるように配置されている。

【0080】第7層目の誘電体層557の表面には、長辺方向の他端側1/2の領域内の所定位置に所定間隔をあけて互いに平行なストリップ線路からなる3つの共振線路580, 581, 582が設けられ、これらの共振線路580, 581, 582のそれぞれの一端は接地され他端は開放されている。また、共振線路580の一端部所定位置に接続導体583の一端が接続され、接続導体583の他端はアンテナ用の外部端子521に接続されている。また、共振線路582の一端部所定位置に接続導体584の一端が接続され、接続導体584の他端は受信用の外部端子522に接続されている。

【0081】さらに、第7層目の誘電体層557の表面には、長辺方向の一端側1/2の領域内の所定位置には共振線路575, 576, 578の開放端に結合してキャパシタンスを形成する矩形の導体片585が設けられている。

【0082】第8層目の誘電体層558の表面には長辺方向の他端側1/2の領域内の所定位置に共振線路580, 581に結合してキャパシタを形成する導体片586が設けられている。

【0083】第9層目の誘電体層559はダミー層である。

【0084】第10層目の誘電体層560の表面には、ほぼ全域に亘って接地導体587が設けられている。この接地導体587は接地端子となる外部端子524～528に接続され、外部端子521～523に対応する部分は絶縁のために切り欠かれている。

【0085】前述した積層素体510では、長辺方向の他端側1/2の領域に設けられた共振線路と接地導体並びに導体片によって受信用のフィルタ回路130が構成され、長辺方向の一端側1/2の領域に設けられた共振線路と接地導体並びに導体片によって送信用のフィルタ回路140が構成されている。

【0086】また、受信用フィルタ回路130における共振線路580, 581, 582を挟む2つの接地導体572, 587間の距離L5と送信用フィルタ回路140における共振線路575, 576, 577を挟む2つの接地導体571, 787間の距離L6とが異なる値に設定されている。さらに、受信用フィルタ回

路130を構成する共振線路と接地導体並びに導体片のうちの1つ以上が、送信用フィルタ回路140の共振線路と導体片並びに接地導体が設けられている層とは異なる層に設けられている。これにより、受信用及び送信用フィルタ回路130, 140のそれぞれにおいて、通過周波数帯域のインピーダンス特性を最適な状態に設定することができる。

【0087】また、受信用フィルタ回路130を構成する共振線路580, 581, 582及び導体片574, 583, 584, 586が誘電体層554, 555, 558, 559を介して接地導体572, 587によって挟まれているため、この接地導体582, 587によって受信用フィルタ回路130は外界及び送信用フィルタ回路140から遮蔽され、送信用フィルタ回路140を構成する共振線路575, 576, 577及び導体片573, 579585が誘電体層552, 553, 554, 557, 558, 559を介して接地導体571, 587によって挟まれているため、この接地導体571, 587によって送信用フィルタ回路140は外界及び受信用フィルタ回路130から遮蔽される。これにより各フィルタ回路130, 140は外界及び他方のフィルタ回路の電気的な影響を受けることなく良好な特性を発揮することができる。

【0088】また、第5実施形態の積層デュプレクサ素子500は、受信用フィルタ回路130の部分と送信用フィルタ回路140の部分が積層素体510の底面511上に並べて配置されるので、積層デュプレクサ素子500の高さを低く設定することができ、薄型の電子機器に適用可能になる。

【0089】尚、上記第5実施形態では、受信用フィルタ回路130における共振線路580, 581, 582を挟む2つの接地導体572, 587の間の距離よりも送信用フィルタ回路140における共振線路575, 576, 577を挟む2つの接地導体571, 587の間の距離を大きく設定することにより、各フィルタ回路130, 140の通過周波数帯域のインピーダンス特性が良好な状態になるよう設定したが、これに限定されることはなく、各フィルタ回路130, 140における共振線路や導体片の配置によって任意個別に設定することができる。

【0090】また、上記第5実施形態では、受信用フィルタ回路130を構成する部分すなわち接地導体572, 587に挟まる部分を積層素体510の底面511の側に設けたが、図17及び図18に示す第6実施形態の積層デュプレクサ素子500Aのように受信用フィルタ回路130を構成する部分を積層素体510の上面512側に設けても良いし、図19及び図20に示す第7実施形態の積層デュプレクサ素子500Bのように受信用フィルタ回路130を構成する部分を積層素体510の底面511と上面512の中間位置に設けても良い。

【0091】また、図21及び図22に示す第8実施形態のように、第5実施形態の積層素体510において受信用フィルタ回路130を構成する部分の上面512側のダミー層となる部分を除去した階段形状の積層素体510Cを備え

た積層デュプレクサ素子500Cを構成しても良い。

【0092】また、図23に示す第9実施形態のように、第5実施形態の積層デュプレクサ素子500における受信用フィルタ回路130を構成する部分と送信用フィルタ回路140を構成する部分を別の層に形成し、且つ受信用フィルタ回路130を構成する部分の一部と送信用フィルタ回路140を構成する部分の一部が重なるように配置した積層デュプレクサ素子500Dを構成しても良い。このように受信用フィルタ回路130を構成する部分の一部と送信用フィルタ回路140を構成する部分の一部が重なるように配置しても、各フィルタ回路間の電気的干渉を抑制できると共に主装置への実装面積を低減することができる。

【0093】尚、上記各実施形態の構成は本願発明の一具体例であって、本願発明がこれらの構成のみに限定されることはなく、各実施形態の構成を組み合わせても良いことは言うまでもない。

【0094】

【発明の効果】以上説明したように本発明の請求項1乃至請求項8に記載の積層デュプレクサ素子によれば、接地導体によって第1フィルタ回路及び第2フィルタ回路のそれぞれが互いに遮蔽されると共に外界から遮蔽されるので、双方のフィルタ回路において最良の特性を得ることができる。さらに、第1フィルタ回路の導体片及び接地導体のうちの1つ以上が、第2フィルタ回路の導体片及び接地導体が設けられている層とは異なる層に設けることにより、各絶縁体層の厚さや共振線路と接地導体との距離を各フィルタ回路毎に設定することができる。各フィルタ毎に最良の特性を得ることができる。

【0095】また、請求項2に記載の積層デュプレクサ素子によれば、上記の効果に加えて、第1フィルタ回路と第2フィルタ回路のそれぞれにおいて、共振線路を挟む2つの接地導体間の距離を異なる値に設定することにより、各フィルタ回路の通過周波数帯域のインピーダンス特性が最良の状態に設定される。

【0096】また、請求項3に記載の積層デュプレクサ素子によれば、上記の効果に加えて、入出力端子を囲むように接地導体を設けたため、第2フィルタ回路の共振線路と第1入出力端子との間の電気的な結合、或いは第1フィルタ回路の共振線路と第2入出力端子との間の電気的な結合が抑制されるので、各フィルタ回路の特性を個別に設定できると共に安定させることができる。

【0097】また、請求項4に記載の積層デュプレクサ素子によれば、上記の効果に加えて、第1フィルタ回路の部分と第2フィルタ回路の部分が積層素体の積層方向に重ねて配置されるので、主装置への実装面積が削減されて高密度実装が可能になる。

【0098】また、請求項5に記載の積層デュプレクサ素子によれば、上記の効果に加えて、第1フィルタ回路の部分と第2フィルタ回路の部分が積層素体の層が延び

る方向に並べて配置されるので、積層デュプレクサ素子の高さを低く設定することができ、薄型の電子機器に適用可能になる。

【0099】また、請求項6に記載の積層デュプレクサ素子によれば、上記の効果に加えて、第1フィルタ回路が形成される部分の一部分が第2フィルタ回路が形成される部分の一部分のみに重なるように積層されるので、各フィルタ回路間の電気的干渉を抑制し且つ実装面積を削減することができる。

【0100】また、請求項7に記載の積層デュプレクサ素子によれば、上記の効果に加えて、第1フィルタ回路の共振線路と第2フィルタ回路の共振線路が互いに直角に交差するように配置されるので、各フィルタ回路の入出力端子を積層素体の異なる外面に容易に配置することができる。

【0101】また、請求項8に記載の積層デュプレクサ素子によれば、上記の効果に加えて、共振線路の長さを短くすることができると共に絶縁体層の積層数を削減できるので、積層素体の外形を小型に形成することができる。さらに、各フィルタ回路のQを高めることができると。

【図面の簡単な説明】

【図1】本発明の第1実施形態における積層デュプレクサ素子を示す外観斜視図

【図2】本発明の第1実施形態における積層デュプレクサ素子の等価回路を示す図

【図3】本発明の第1実施形態における積層デュプレクサ素子を示す分解斜視図

【図4】図3におけるA-A線斜視方向の断面図

【図5】本発明の第1実施形態における積層デュプレクサ素子の周波数特性を示す図

【図6】本発明の第2実施形態における積層デュプレクサ素子を示す外観斜視図

【図7】本発明の第2実施形態における積層デュプレクサ素子を示す分解斜視図

【図8】本発明の第3実施形態における積層デュプレクサ素子を示す分解斜視図

【図9】本発明の第3実施形態における要部を示す平面図

【図10】本発明の第3実施形態における要部を示す平面図

【図11】本発明の第3実施形態の積層デュプレクサ素子の他の構成例を示す分解斜視図

【図12】本発明の第4実施形態における積層デュプレクサ素子を示す分解斜視図

【図13】図12におけるA-A線矢視方向の断面図

【図14】本発明の第5実施形態における積層デュプレクサ素子を示す外観斜視図

【図15】図14におけるA-A線矢視方向の断面図

【図16】本発明の第5実施形態における積層デュプレ

クサ素子を示す分解斜視図

【図17】本発明の第6実施形態における積層デュプレクサ素子を示す分解斜視図

【図18】図17におけるA-A線矢観方向の断面図

【図19】本発明の第7実施形態における積層デュプレクサ素子を示す分解斜視図

【図20】図20におけるA-A線矢観方向の断面図

【図21】本発明の第8実施形態における積層デュプレクサ素子を示す分解斜視図

【図22】図22におけるA-A線矢観方向の断面図

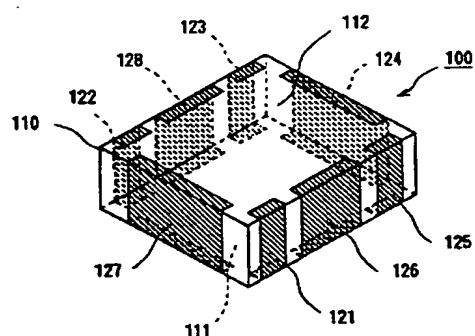
【図23】本発明の第9実施形態における積層デュプレクサ素子を示す側断面図

【符号の説明】

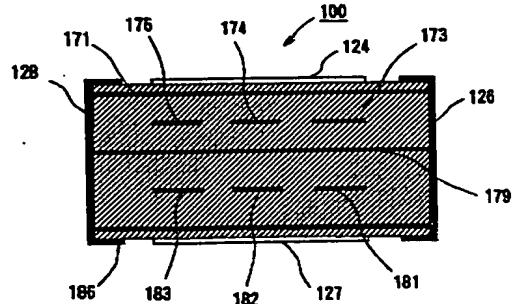
100, 200, 300, 300A, 400, 500, 500A~500D…積層デュプレクサ素子、110, 210, 510…積層素体、111, 211, 511…底

面、112, 212, 512…上面、121, 521…アンテナ用外部端子、122, 522…受信用外部端子、123, 523…送信用外部端子、124~128, 524~528…接地用外部端子、130…受信用フィルタ回路、131, 132, 133…共振器、134a, 134h…インダクタ、134b, 134d, 134e, 134f, 134g…キャパシタ、140…送信用フィルタ回路、144a, 144b, 144c…キャパシタ、144d…インダクタ、151~166…誘電体層（絶縁体層）、171, 179, 186…接地導体、172, 178, 180, 185…導体片、173, 174, 175, 181, 182, 183…共振線路、175, 176, 184…接続導体、311, 312, 313, 321, 322, 323…接地導体、411, 421…接地導体、412…ピアホール導体、551~560…誘電体層（絶縁体層）、571, 572, 587, 588, 589, 591, 592, 593…接地導体、573, 574, 585, 586…導体片、575, 576, 577, 580, 581, 582…共振線路、579, 583, 584…接続導体。

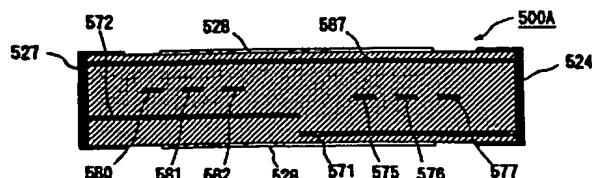
【図1】



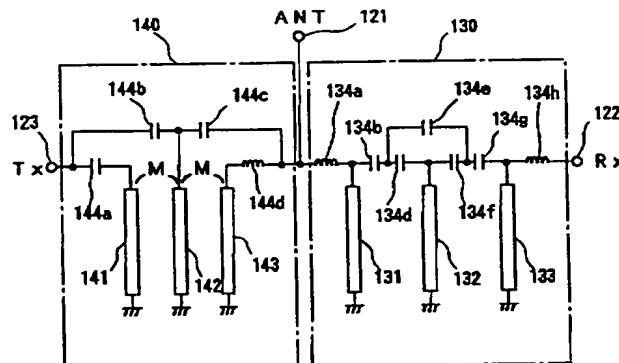
【図4】



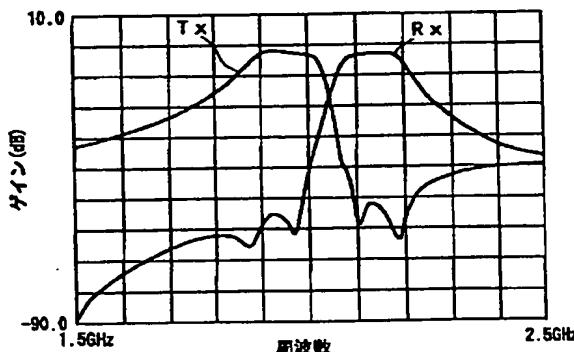
【図18】



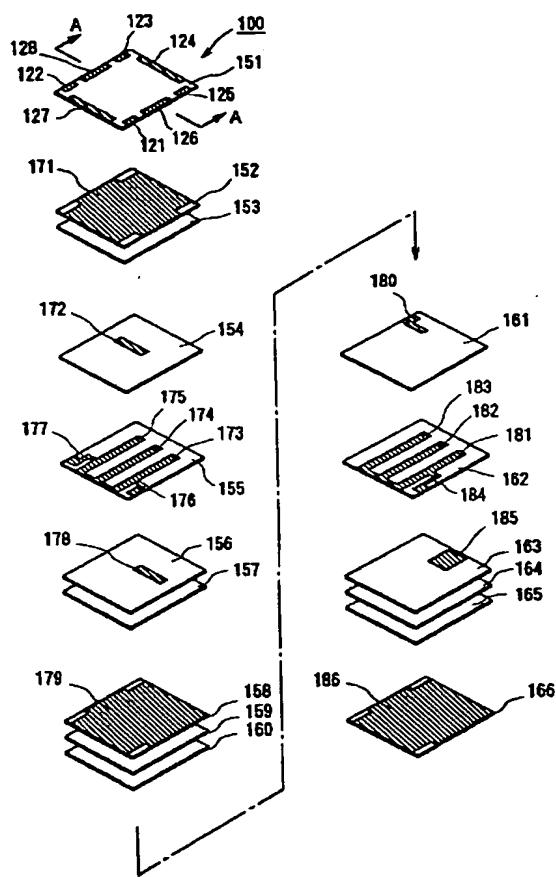
【図2】



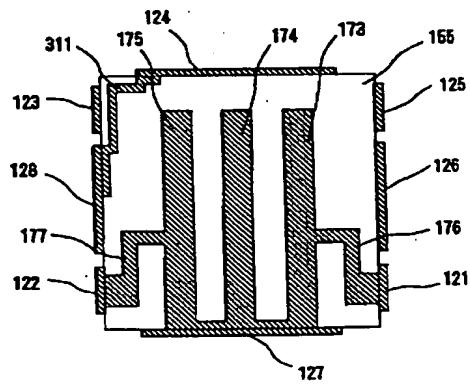
【図5】



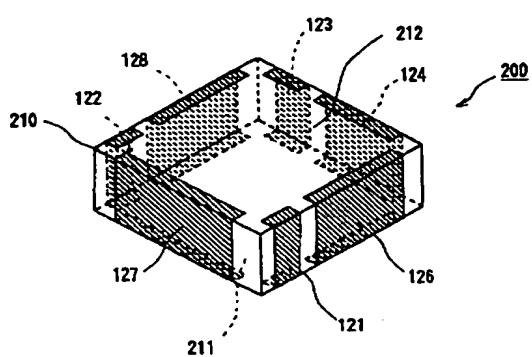
【图3】



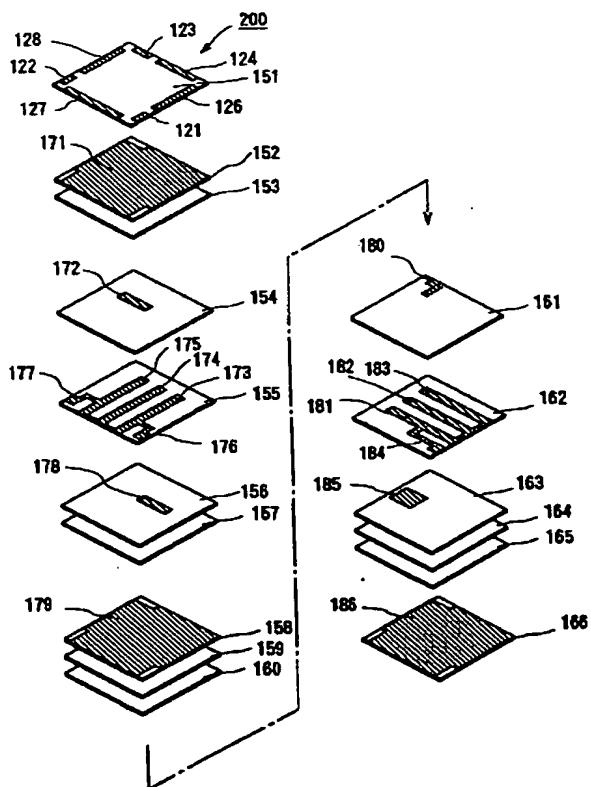
【図9】



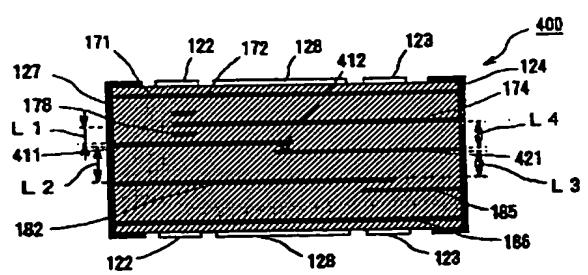
【四六】



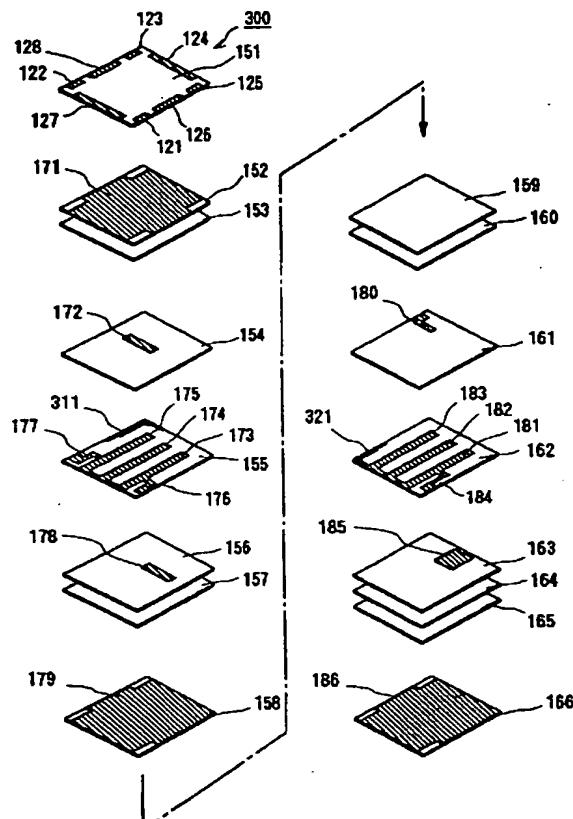
【図7】



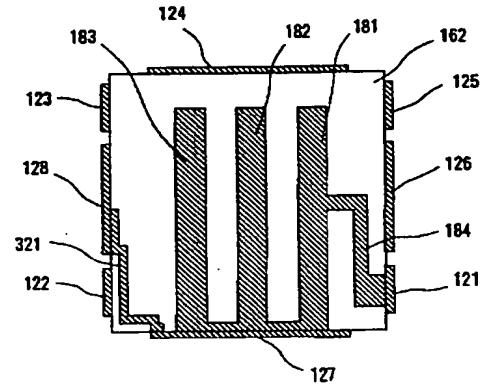
【図13】



〔図8〕

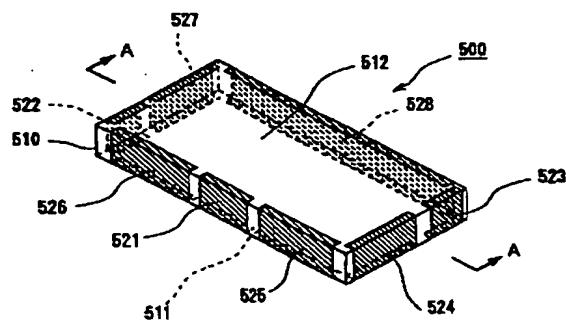


【图10】



[11]

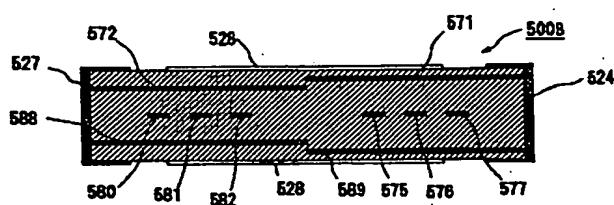
【图14】



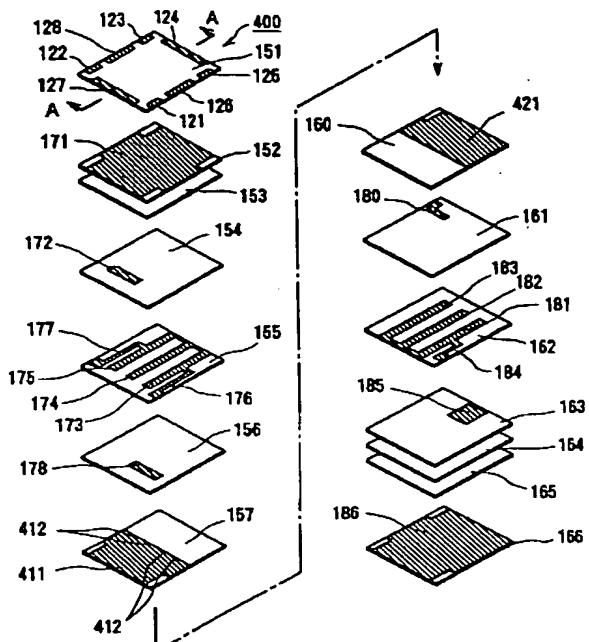
The figure illustrates a stackable electronic component assembly, labeled 300A, composed of several layers and components:

- Top Layer:** A base layer 122 with a central rectangular opening 123, surrounded by a raised edge 124. The base layer is secured to a substrate 151 via a bonding layer 125.
- Middle Layers:** A stack of three layers: 127, 121, and 126, which are bonded together.
- Bottom Layer:** A base layer 171 with a central rectangular opening 152, surrounded by a raised edge 153.
- Central Components:** A central vertical column of components includes:
 - A top component 312 with a central rectangular opening 154.
 - An intermediate component 172.
 - A bottom component 311.
- Bottom Support:** A stack of four layers: 175, 174, 173, and 155, which are bonded together.
- Bottom Base:** A base layer 176.
- Bottom Cover:** A base layer 313 with a central rectangular opening 156, surrounded by a raised edge 157.
- Bottom Stack:** A stack of three layers: 178, 158, and 159, which are bonded together.
- Bottom Edge:** A base layer 179 with a central rectangular opening 160.
- Right Side Components:** A vertical column of components includes:
 - A top component 322 with a central rectangular opening 161.
 - An intermediate component 321.
 - A bottom component 323.
- Bottom Support:** A stack of four layers: 180, 182, 183, and 181, which are bonded together.
- Bottom Cover:** A base layer 184.
- Bottom Stack:** A stack of three layers: 185, 163, and 164, which are bonded together.
- Bottom Edge:** A base layer 186.
- Bottom Edge:** A base layer 166.

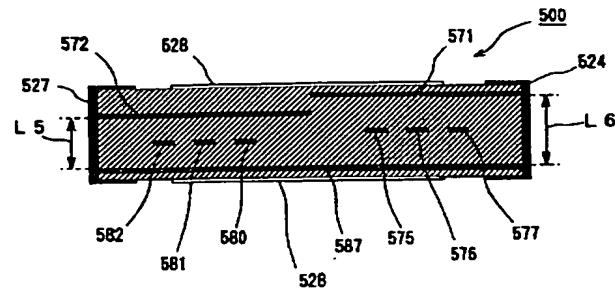
〔図20〕



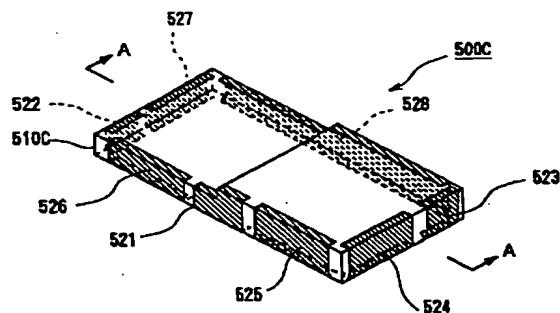
【图12】



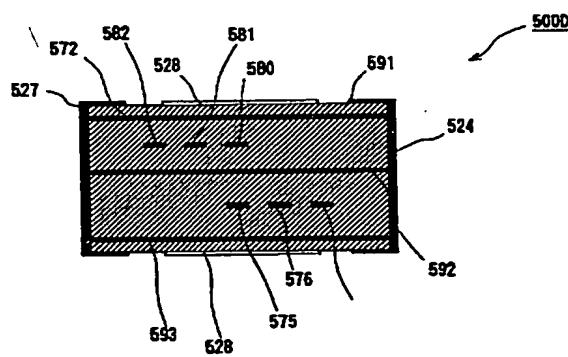
【図15】



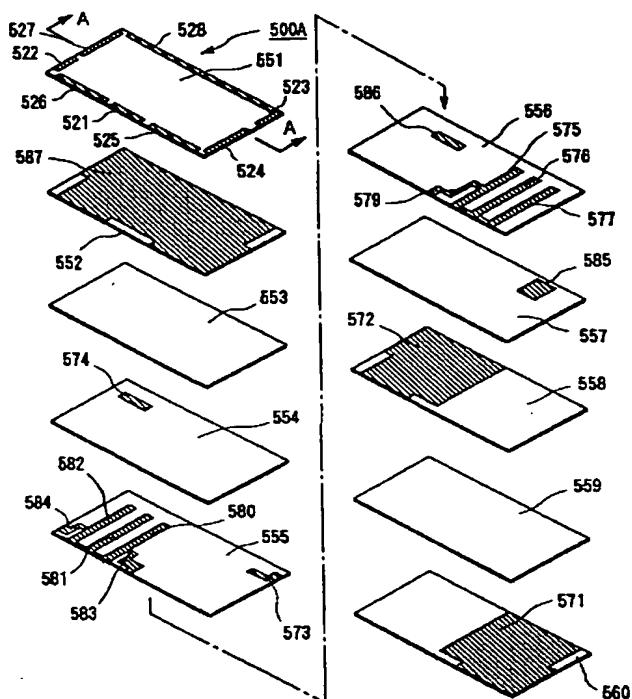
【图21】



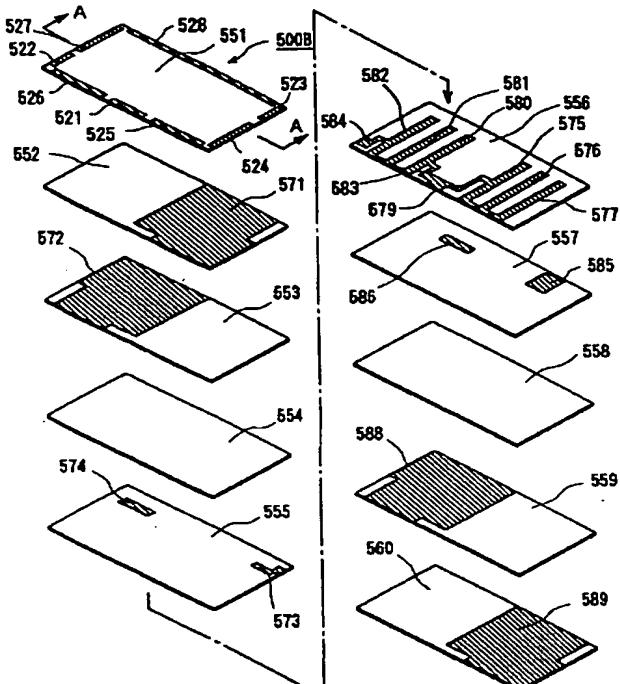
【图23】



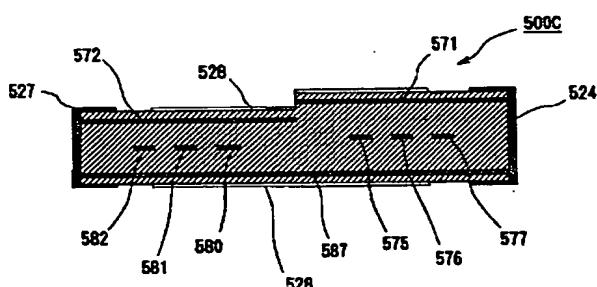
【図17】



【図19】



【図22】



フロントページの続き

(51) Int.Cl.7

H 03 H 7/09
7/46

識別記号

F I
H 03 H 7/46
H 01 F 15/00

テープコード(参考)

A
D

F ターム(参考) 5E070 AA01 AB01 CB03 CB13 CB15
EA01
5J006 HB05 HB22 JA22 KA03 LA03
LA09 LA13 LA23 NA03 NA04
NB07 NC03
5J024 AA01 BA18 CA04 CA06 CA09
CA10 CA17 DA01 DA29 DA32
EA03 EA05 KA03